Lista 2 – Processadores e Memória

1. A arquitetura que utiliza pipelining realiza instruções conforme os ciclos de busca - decodificação, execução e armazenamento - com vários processadores executando diferentes programas simultaneamente. ()
2. Em relação à arquitetura e organização de sistemas de computadores, o termo que é usado para descrever processadores que executam múltiplas instruções (frequentemente quatro ou seis), em um único ciclo de relógio, é conhecido como:
 - A) multiprocessador.
 - B) encadeamento em série
 - C) processador de baixa latência.
 - D) superescalar
 - E) somador de transporte encadeado.
3. (CESPE/ANAC - 2009) O princípio básico da tecnologia superescalar está relacionado à capacidade de aceitar diversos tipos de dispositivos de conexão. ()
4. (FCC/TJ-PA - 2009) A tecnologia de hardware denominada pipeline executa, na sequência, o encadeamento dos processos em
 - A) 5 estágios: busca de instruções, decodificação, execução, acesso à memória e gravação em registradores.
 - B) 5 estágios: acesso à memória, busca de instruções, decodificação, gravação em registradores e execução.
 - C) 4 estágios: acesso à memória, busca de instruções, decodificação e execução.
 - D) 3 estágios: acesso à memória, busca de instruções e execução.
 - E) 3 estágios: busca de instruções, execução e acesso à memória.
5. (IADES/PCDF - 2016) Os microprocessadores atuais implementam uma arquitetura que tira proveito do paralelismo na execução de instruções. O compilador traduz os programas para instruções de máquina, de forma que elas não tenham dependências entre si, permitindo que sejam executadas ao mesmo tempo, sem perda de lógica de processamento, e definindo como elas devem ser efetuadas simultaneamente. A esse respeito, é correto afirmar que a referida arquitetura denomina-se
 - A) multithreading simultâneo (SMT).
 - B) arquitetura multicore.
 - C) very long instruction word (VLIW).
 - D) arquitetura pipeline.
 - E) arquitetura superescalar.
6. (CESPE/TRE-TO - 2017) Na organização de uma unidade central de processamento, a divisão da execução das instruções em vários estágios, a fim de que novas entradas de instruções ocorram sem que instruções anteriores tenham sido finalizadas, é denominada
 - A) processamento vetorial.
 - B) ciclo do caminho de dados.
 - C) operação superescalar.
 - D) pipeline de instruções.
 - E) multiprocessamento.

7. (FCC/TRF-5ª Região - 2017) Considere os estágios abaixo.

IF: Instruction fetch.

ID: Instruction decode, register fetch.

EX: Execution.

MEM: Memory access.

WB: Register write back.

Tratam-se dos cinco estágios clássicos de

- A) pipeline de instruções em alguns processadores CISC.
- B) controle hardwired microprogramado em processadores CISC.
- C) do processo de deadlock em processadores RISC.
- D) pipeline de instruções em alguns processadores RISC.
- E) operações nos registradores dos processados CISC.

8. (CESGRANRIO/Transpetro - 2018) Hoje em dia, as GPUs, que originalmente eram processadores gráficos, têm sido utilizadas para várias tarefas de computação de alto desempenho. Uma das formas que esses dispositivos têm de aumentar seu desempenho é executar uma mesma instrução em um conjunto de dados em paralelo. Por exemplo, uma única instrução de soma pode ser usada para somar duas matrizes (a soma será executada em paralelo para cada posição das matrizes). Esse tipo de processamento paralelo é descrito, na classificação de Flynn, como

- A) SDMI
- B) SIMD
- C) SISD
- D) MIMD
- E) MISD

9. (COPESE-UFPI/UFPI - 2018) O processo de buscar instruções na memória é um dos grandes gargalos na velocidade de execução da instrução. Uma das estratégias para amenizar esse problema é o conceito de pipeline, que consiste em

- A) armazenar todas as instruções em registradores de cache L2.
- B) decodificar as instruções em linguagem de máquina.
- C) salvar o conjunto de instruções em um disco local, de fácil acesso.
- D) dividir a execução da instrução em múltiplas partes.
- E) uma busca antecipada da instrução a ser executada.

10. (CESPE/ABIN - 2018) A arquitetura que utiliza pipelining realiza instruções conforme os ciclos de busca - decodificação, execução e armazenamento - com vários processadores executando diferentes programas simultaneamente.

11. (FAURGS/TJ-RS - 2018) Com relação às arquiteturas RISC e CISC, assinale a alternativa correta.

- A) Os processadores ARM, amplamente utilizados em smartphones, empregam a arquitetura CISC.
- B) Uma arquitetura CISC caracteriza-se por apresentar um conjunto de instruções pouco extenso, menor do que o conjunto de instruções de uma arquitetura RISC.
- C) Processadores de arquitetura CISC podem executar uma instrução por ciclo de máquina, sem a necessidade de pipeline.
- D) Com o desenvolvimento de técnicas avançadas de pipeline nas arquiteturas CISC, as diferenças de desempenho entre processadores RISC e CISC diminuíram.
- E) A empresa INTEL produz, na sua grande maioria, processadores com arquitetura RISC.

12. (COMPERVE/UFRN - 2018) De acordo com a taxonomia de Flynn, que classifica sistemas de computação paralela, a alternativa que corresponde à classificação para sistemas com processadores de núcleo único, com processadores de múltiplos núcleos e com processadores vetoriais, respectivamente, é:

- A) SIMD, MISD e SISD.
- B) SISD, MIMD e SIMD.
- C) SISD, MISD e SIMD.
- D) SIMD, MISD e SIMD.